# CAPÍTULO 4) CAMPAÑA DE INYECCIÓN AUTOMATICA

En este capítulo se detallará el proceso de inyección de fallas y su posterior análisis. El propósito de esta investigación es el de determinar la susceptibilidad a fallas del conversor flash causadas por SETs. El trabajo se enfocó en las estructuras analógicas del circuito, debido que el estudio en estructuras digitales es más conocido y existe abundante información.

|  |  |  |
| --- | --- | --- |
|  |  |  |

Figura ) Interacción usuario-programa.

## 3.1) Inyección

La campaña de inyección se realizó sobre los comparadores (estructuras analógicas del conversor). Las fallas son inyectada en cada drenador de cada transistor que lo conforma (PMOS y NMOS, variando la dirección de la corriente según corresponda) simulando un SET en distintas condiciones de señal de entrada.

Por cada comparador hay 7 drenadores donde se deben inyectar ambas fallas, los que nos da un total de 14 simulaciones por comparador. Durante la campaña de inyección se varía la señal de entrada en 64 niveles de tensión para los 63 comparadores existentes en el conversor, esto nos da un total de 56448 simulaciones durante el proceso, lo cual requirió de un enorme recurso computacional. Las inyecciones se realizaron de modo manual, en el cual se considero 3 comparadores en situaciones específicas de tensión de entrada y referencia, y de modo automático para realizar el total de las simulaciones mediante el programa desarrollado.

### 3.1.2) Automática

Para la campaña de inyección completa, se desarrolló un programa que realizó un “barrido en tensión continua” de la entrada desde 1V a 1.64V en cada uno de los drenadores para los 63 comparadores. Éste fue realizado en la plataforma de programación Python bajo el sistema operativo de Windows Seven. El código del programa se encuentra detallado en el APENDICE C.



Figura ) Imagen del programa (pestaña de inyección).

El proceso de inyección consta de 4 pasos, detallados a continuación:

Figura ) Diagrama de proceso de inyección de fallas.

## 3.2) Análisis

El análisis de los resultados de la campaña se realizó en dos etapas, al igual que la inyección. Una primera en la cual se analizaron los resultados de las inyecciones hechas de manera manual, verificando el comportamiento general del circuito ante cada alteración del mismo, identificando los nodos sensibles y propensos al error. Luego de corroborar el método manual, se pasó al procesamiento de la información de modo automático mediante un programa realizado para este fin y recopilando la información mediante tablas.

### 3.2.2) Automática

Luego de corroborar el correcto funcionamiento del programa y el comportamiento del comparador ante las perturbaciones, se pasó a la utilización del programa para automatizar el proceso de recopilación de información obtenida de las simulaciones.



Figura ) Imagen del programa (pestaña de simulación).

El proceso de simulación consta de 4 pasos, detallados a continuación:

Figura ) Diagrama de proceso de simulación y análisis de falla.

La funcionalidad que provee el programa es la de comparar las tensiones guardadas en los archivos de salida de la campaña de simulación con las tensiones ingresadas por el usuario en la ventana que se aprecia en (podemos ingresarlos en modo analógico o modo digital, en este último, el programa considera como un 1 lógico a un nivel de tensión comprendido entre 2.3 y 3.3 voltios; y un 0 lógico a un nivel de tensión comprendido entre 0 y 1 voltio) y crear una tabla que cuenta con la información del nodo inyectado, el tipo de falla, duración del evento, variación de voltaje, etc.

Un ejemplo de una sección de la tabla que devuelve el programa se puede apreciar en la , a continuación.



Figura ) Tabla obtenida como resultado del análisis del programa.

Con una tabla de más de 56.000 filas de datos y la ayuda de un procesador de hojas de cálculo, se realizaron los análisis pertinentes a la campaña de inyección realizada, generando tablas y gráficos estadísticos de los datos recopilados. A continuación se presentan alguno de éstos análisis.

Cantidad de errores totales discriminando tipos de falla:

|  |  |  |  |
| --- | --- | --- | --- |
|  | | | |
| **Tipo de falla** | **Error** | **Éxito** | **Total** |
| *Rampa* | 1991 | 26233 | 28224 |
| *Exponencial* | 206 | 26231 | 28224 |

Tabla ) Tabla de porcentajes de errores según tipo de falla.

Figura ) Porcentaje de errores según tipo de falla.

A partir de estos gráficos de torta, apreciamos que la inyección de la falla tipo rampa genera mayor cantidad de errores de salida en el conversor. Como se mencionó anteriormente, este modelo de falla posee un inicio y fin de perturbación bien definido, a diferencia del modelo exponencial, cuya duración no posee un fin exacto. Sin embargo, en este tiempo, la falla tipo rampa genera una mayor perturbación en el equilibrio de corrientes del nodo afectado, permitiendo así que la falla se prolongue por la lógica decodificadora llegando a los bits de salida.

Cantidad de errores encontrados en función de la tensión de entrada y tipo de falla:



Tabla ) Tabla de fallas según nivel de tensión de entrada.

En la se puede observar una clara diferencia entre los errores producidos entre ambos tipos de fallas. Para los dos casos, con el aumento progresivo de la tensión de entrada se genera un amento de la cantidad de errores observados en la salida del conversor. En el caso tipo exponencial, el aumento generado es lento y de pocas variaciones, a comparación de los errores producidos en el caso tipo rampa que aumentan progresivamente y con variaciones entre cada nivel de tensión.

Figura ) Gráfica de dispersión, cantidad de errores según tensión de entrada (falla rampa).

Figura ) Gráfica de dispersión, cantidad de errores según tensión de entrada (falla exponencial).

Este tipo de resultados se apreció en los análisis realizados de manera manual ( y ), en donde los únicos momentos en que se producían los fallos en el transistor M12 (correspondiente al nodo NDOUT\_P) era cuando la tensión de entrada era superior a la tensión de referencia, lo que nos daba una salida del comparador igual a CERO, o sea, cuando el transistor M12 se encontraba cortado.

Cantidad de errores según nodo de inyección:



Tabla ) Tabla de fallas según nodo de inyección.

De la , se percibe que el nodo NDOUT\_P (transistor M12 de cada comparador) es el nodo sensible del circuito. Este nodo fue el único que generó fallos en la etapa de simulación manual realizada anteriormente.

Figura ) Grafica de barras de errores por nodos de inyección.

El nodo NDNEG\_P (transistor M3) es el menos sensible del circuito, como se puede apreciar, género la menor cantidad de fallas al ser inyectada la perturbación.

Distribución de errores según bit de salida:



Tabla ) Tabla de falla generadas según bit de salida.

A partir de la podemos destacar que todos los errores generados por la inyección tipo exponencial repercutieron tan solo en el bit MSB (ocasionando el total de las fallas). Realizando un pequeño análisis de la estructura interna del conversor se deduce que el efecto causado por la falla exponencial afecta únicamente a este bit debido a que el mismo es una conexión directa de la salida de un comparador, evitando toda la lógica del decodificador que se ve involucrada en la determinación de los restantes bits. Esto nos permite concluir que el decodificador posee un notable efecto de filtrado de los errores producidos por las falla del tipo exponencial. Una posible solución sería intercalar una estructura lógica que no modifique el valor de la salida binaria, como por ejemplo dos negadores en serie, etc. (APENDICE B).

Figura ) Gráfica de distribución de errores según bits de salida.

Distribución de errores según variación de amplitud y duración del evento:

A continuación se presentan dos gráficos de dispersión en los cuales se analiza la duración del evento transitorio y las variaciones de amplitud de éste. Los criterios utilizados para la condición de éxito/error son:

Según su amplitud:

* un CERO lógico, es todo valor de ‘x’ perteneciente al rango: - 0.001V <x< 1.001V. \*
* un UNO lógico, es todo valor de ‘x’ perteneciente al rango: 2.299V <x< 3.301V. \*

\*los rangos poseen una diferencia respecto a los limites definidos de UNO y CERO lógicos, para discriminar variaciones menores a 1mV.

Según su duración:

* un error está considerado como una variación de tensión mantenida por un tiempo mayor a 1ps (para valores menores el simulador demostró tener problemas para converger).

Para el modelo exponencial se analizó el único bit erróneo, y para el modelo rampa el bit LSB que fue el de mayor cantidad de errores(los gráficos de los restantes bits se encuentran en [APENDICE D]). En ambos gráficos se diferenció las inyecciones entre nodos NMOS y PMOS.

A continuación tenemos el análisis de la gráfica para el modelo exponencial:

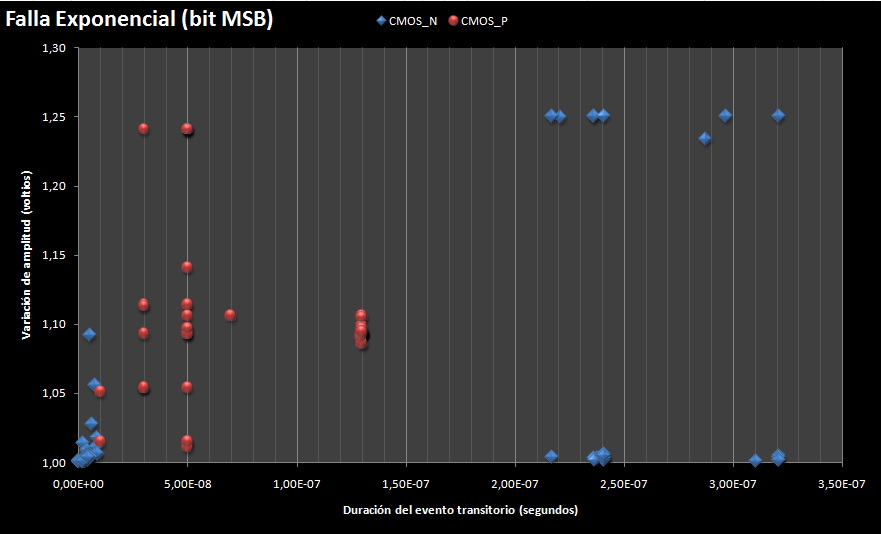


Figura ) Gráfica de dispersión, fallas MSB por inyección exponencial.

La se encuentra dividida en 4 cuadrantes. Se aprecia que la gran mayoría de los errores se encuentran ubicados en el cuadrante inferior izquierdo, lo que indica variaciones de amplitud pequeñas y de rápida recuperación. Observando el cuadrante superior izquierdo se encuentran principalmente las fallas causadas por inyección en nodos PMOS lo que revela que son nodos más sensibles pero se estabilizan rápidamente. En el cuadrante superior derecho encontramos similar cantidad de errores causados por inyección en transistores PMOS y NMOS, pero se percibe que los errores ocasionados a partir de inyecciones en nodos PMOS se encuentran agrupadas en un sector medio, indicando efectos similares de perturbación en todos ellos, a diferencia de los ocasionados por perturbar a los NMOS donde hay una clara variación en la duración de los eventos. Por último, en el sector inferior derecho, se observan únicamente errores formados a partir de inyecciones en nodos NMOS y de tiempos de recuperación más prolongados en comparación con los PMOS.

A continuación tenemos el gráfico de dispersión para las fallas en el bit LSB generadas por la inyección del modelo rampa.

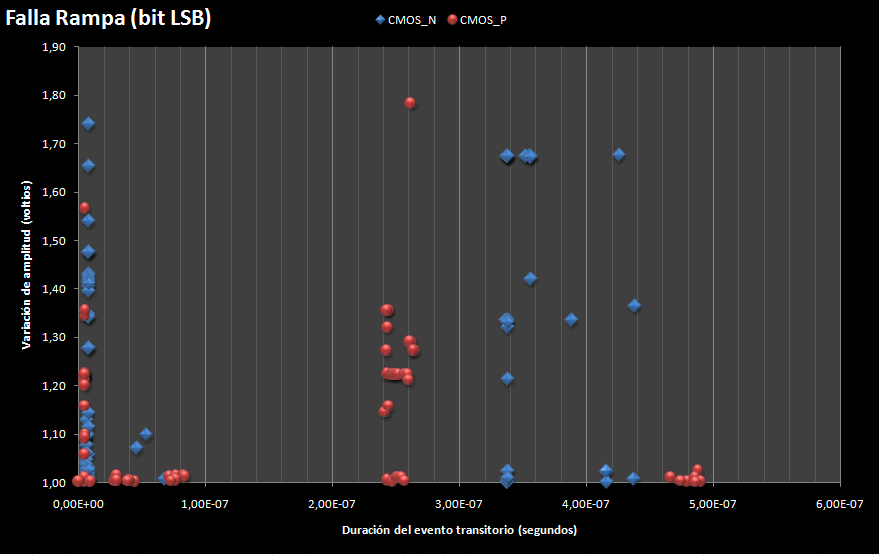


Figura ) Gráfica de dispersión, fallas LSB por inyección rampa.

Al igual que la anterior, la se divide en 4 cuadrantes. Podemos notar que más del 75% de los errores ocurridos en las simulaciones poseen variaciones menores a las 1.15 voltios y una duración de evento máxima de 10uS. El resto de los errores analizados poseen una duración mayor, entre 25 y 50uS, con variaciones bastante dispersas. Los transistores NMOS perturbados se encuentran dispersos en una franja de tiempo entre 33 y 43uS, en cambio, para los PMOS la dispersión es mayor pero se divide en dos franjas muy acotadas, una entre los 24 y 26uS, y la otra entre los 48 y 50uS.

Distribución de errores según tipo de transistor y falla:

En esta sección se presentará un análisis de la sensibilidad del conversor a errores según el tipo de transistor en el cual se inyecta, y también la sensibilidad de éstos al tipo de falla. La tabla a continuación muestra la cantidad de errores en veces y en porcentual:



Tabla ) Tabla de fallas discriminados por tipo de transistor.

Como se puede observar en el grafico, la sensibilidad de los transistores PMOS es considerablemente mayor que los NMOS, mostrando un 88% de errores para este tipo.

Figura ) Gráfica porcentual de errores según tipo de transistor.

Si bien la sensibilidad es mayor para los transistores PMOS, el tipo de falla inyectada nos da otros indicios de las sensibilidades del conversor a los efectos de los ASETs.

Figura ) Gráficas de cantidad de fallas según transistor y modelo inyectado.

Como se observa en la figura 23, la sensibilidad de los transistores NMOS a las fallas es prácticamente la misma. Sin embargo, la diferencia en la cantidad de errores para las inyecciones de los transistores PMOS muestra una fuerte diferencia revelando que los transistores PMOS son gravemente afectados por la inyección tipo rampa.